

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-263574

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.⁶

H 0 1 L 21/8242

27/108

27/04

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/ 10

3 2 5 J

27/ 04

C

審査請求 未請求 請求項の数4 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平6-54000

(22) 出願日

平成6年(1994)3月24日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 氷沢 和也

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 松橋 秀明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

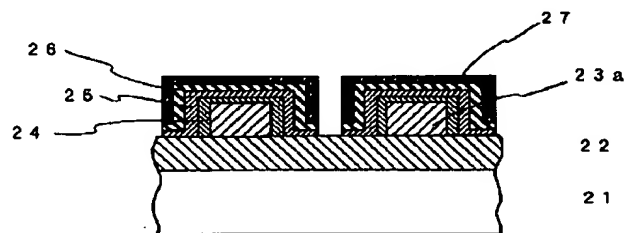
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 誘電体膜として酸化タンタル膜を用いる場合において、リーク電流の発生を抑ええることのできる半導体装置の構造及びその製造方法を提供する。

【構成】 シリコン基板21上に酸化シリコン膜22、この一部分上に下部電極としてのポリシリコン膜23aが形成され、このポリシリコン膜23aを覆うように窒化シリコン膜24、酸化タンタル膜25、酸化モリブデン膜26、上部電極としてのモリブデン膜27が順次形成された構造となっている。



1

【特許請求の範囲】

【請求項1】 基体と、前記基体上に形成された酸化タンタルと、前記酸化タンタル上に形成された酸化モリブデンと、前記酸化モリブデン上に形成されたモリブデンまたは窒化モリブデンと、を備えたことを特徴とする半導体装置。

【請求項2】 基体と、前記基体上に形成された酸化タンタルと、前記酸化タンタル上に形成された酸化ジルコニウムと、前記酸化ジルコニウム上に形成された窒化チタンと、を備えたことを特徴とする半導体装置。

【請求項3】 前記基体は半導体基板表面上に形成された下部電極であることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記基体は半導体基板であって、この基板表面領域に形成されたソース・ドレイン領域間のチャネル領域であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、誘電体膜を用いるキャパシタ、MOSFET、DRAM等の半導体装置に関する。

【0002】

【従来の技術】従来、誘電体膜を用いたキャパシタとして、25の高い比誘電率を持つ酸化タンタル膜(Ta₂O₅)を用いたキャパシタが知られているが、下部電極にポリシリコン(poly-Si)を用いる場合、800℃程度の高温熱処理を施すとポリシリコンと酸化タンタル膜が反応し、両者の間に比誘電率の低い酸化シリコン膜が形成され容量が低下してしまうという問題があった。この反応を防止するため、例えばS. Kamiyama et al., IEDM Tech. Dig. (1991) pp. 827には、下部電極であるポリシリコン膜と誘電体膜である酸化タンタル膜との間に、反応防止膜として窒化シリコン膜を用い、上部電極に窒化チタンまたはタングステンを用いるキャパシタが開示されている。窒化シリコン膜を用いることにより後の製造工程に不可欠な高温熱処理を行ってもポリシリコン膜と酸化タンタル膜が反応せず、窒化チタンを用いることによりリーク電流の増大がなく経時的絶縁破壊(TDD)寿命も長いキャパシタとなっている。

【0003】

【発明が解決しようとする課題】しかしながら上記文献に開示されるような従来技術では、上部電極を窒化チタン膜で形成しているため、上部電極形成後の製造工程において必要となる高温熱処理を施すことによってリーク電流が増大するという問題があった。

【0004】上部電極が窒化チタン膜で、酸化タンタル膜の膜厚を15nmとしたキャパシタに窒素ガス雰囲気中、30分のアニール処理を施したときの熱処理温度によるリーク電流特性を示す実験結果グラフを図9に示

2

す。図9中縦軸はリーク電流1μA/cm²の時の上部電極印加電圧(Verit)であり、横軸は温度である。図9より500℃以上の高温アニール処理を施すことによってリーク電流が大きくなっていることがわかる。

【0005】

【課題を解決する手段】上記の問題を解決するために第1の発明によれば、基体上に、誘電体膜として酸化タンタル、この酸化タンタル上に酸化モリブデン、この酸化モリブデン上にモリブデン膜を備えた構造の半導体装置とする。第2の発明によれば、基体上に、誘電体膜として酸化タンタル、この酸化タンタル上に酸化ジルコニウム、この酸化ジルコニウム上に窒化チタン膜を備えた構造の半導体装置とする。

【0006】

【作用】第1の発明によれば、酸化モリブデンを酸化タンタル上に設けたのでリーク電流特性が改善され、さらにモリブデンを酸化モリブデン上に設けたので高温熱処理を行ってもリーク電流が増大するのを防ぐことができる。

【0007】第2の発明によれば、酸化ジルコニウムを窒化チタンと酸化タンタルとの間に設けたので高温熱処理を施しても窒化チタンと酸化タンタルとの反応がこの酸化ジルコニウムによって防止され、高温熱処理を行ってもリーク電流が増大するのを防ぐことができる。

【0008】

【実施例】

第1実施例

図1は、この発明によるキャパシタの構造を示す一例である。図1におけるキャパシタは、シリコン基板21上に酸化シリコン膜22、その上に選択的に基体に相当する下部電極としてのポリシリコン膜23aが形成され、このポリシリコン膜23aを覆うように窒化シリコン膜24、酸化タンタル膜25、酸化モリブデン膜26、上部電極としてのモリブデン膜27が順次形成されている。

【0009】以上のように形成された酸化タンタル膜を用いたキャパシタにおいては、誘電体膜としての酸化タンタル膜25と上部電極としてのモリブデン膜27との間に酸化モリブデン膜26を設けているので、下部電極と上部電極との間のリーク電流特性が向上する。

【0010】また、図2(A)～(E)に本発明の実施例によるキャパシタの製造工程の断面図を示し、以下本発明の第1の実施例について図面を参照しながら詳細に説明する。

【0011】図2(A)に示すように、シリコン基板21上に熱酸化法或は化学気相成長(CVD)法により酸化シリコン膜22を800nm程度成長させ、さらに、下部電極となるポリシリコン膜23をCVD法等により300nm程度形成する。このポリシリコン膜23の低抵抗化のため、イオン注入法により、または、塩化ホス

3

ホルルガス雰囲気中における熱拡散により、リンをポリシリコン膜23に導入する。

【0012】次に、ポリシリコン膜23上にレジストパターンを形成し（図示せず）、このレジストパターンをマスクとしてポリシリコン膜23の不要部分をエッチングすることで、ポリシリコン膜23がパターンニングされ、図2（B）に示すように下部電極のポリシリコン膜23aが形成される。

【0013】さらに、瞬時熱処理装置を用いアンモニアガス雰囲気中、900℃で1分間の熱処理を行うことで図2（C）に示すように、ポリシリコン膜23a上に窒化シリコン膜24を1.7nm程度形成する。

【0014】図2（D）に示すように、CVD法によりペンタエトキシタンタルと酸素ガスを用い450℃の基板温度で酸化タンタル膜25を12nm程度形成する。また、酸化タンタル膜25の緻密化及び欠陥密度の削減のため、酸素雰囲気中800℃で1分間の熱処理を行うことが望ましい。

【0015】図2（E）に示すように、MoF5、MoCl5、Mo（CO）5等のソースガスを用いてCVD法により酸化モリブデン膜26を10nm程度形成する。

【0016】次に、上部電極としてのモリブデン膜27をCVD法により200nm程度形成する。その後モリブデン膜27上にレジストパターンを形成し（図示せず）、このレジストパターンをマスクとしてモリブデン膜27、酸化モリブデン膜26及び酸化タンタル膜25の不要部分をエッチングすることにより、図1に示した構造のキャパシタとなる。

【0017】また、上記の実施例以外にも本発明によるキャパシタを製造することができ、その例を示す。

【0018】シリコン基板21上に酸化シリコン膜22、ポリシリコン膜23a、窒化シリコン膜24、酸化タンタル膜25を形成した後、酸化モリブデン膜26を形成する方法としては、次の方法によることもできる。酸化タンタル膜25上にスパッタ法でモリブデン膜を形成後、酸素ガス雰囲気中500℃で5分間アニール処理することにより酸化モリブデン膜26を形成する。その後同様の方法で上部電極を形成、不要部分の除去によりキャパシタを作成する。

【0019】またこれ以外にも、スパッタ法またはCVD法によりモリブデン膜を形成、酸素ガス雰囲気中、800℃で30分ほどのアニール処理を施すことにより酸化タンタル膜25中の酸素とモリブデン膜が反応し酸化モリブデン膜26を形成するという方法によることもできる。

【0020】ここで、酸化モリブデン膜の形成方法については種々のものが考えられるが、CVD法またはスパッタ法等の堆積法を使用することにより、容易に酸化モリブデン膜を形成することができる。

【0021】上述した第1実施例および従来技術による

4

上部電極形成直後の（高温熱処理を施す前の）キャパシタのリーク電流特性グラフを図5に示す。図5中縦軸はリーク電流J[A/cm²]、横軸は上部電極に印加する電圧Vg[V]、aは第1実施例（Ta₂O₅+MoO₃+Mo）、bは第1実施例において上部電極をタングステンとしたとき（Ta₂O₅+MoO₃+W）、cは酸化タンタル膜上に直接モリブデンで上部電極を形成したとき（Ta₂O₅+Mo）、dは上部電極をタングステンとした従来技術（Ta₂O₅+W）のそれぞれのキャパシタにおける実験結果を示す。図5から、aはc、dに比べると低電圧でのリーク電流は増加が若干認められるが、リーク電流が増加を始める耐圧点はかなり向上していることがわかる。また、bで示されるように上部電極材料を変えた場合でも特性は向上しており、他の導電材料でも同様の効果が得られた。

【0022】ここで、上部電極形成後の製造工程において必要となる高温熱処理を想定して、図5に示したa～dのそれぞれのキャパシタに酸素ガス雰囲気中、800℃のアニール処理を施した後のリーク電流特性グラフを図6に示す。図6中縦軸はリーク電流J[A/cm²]、横軸は上部電極印加電圧Vg[V]である。図6から、aは800℃のアニール処理によってさらにリーク電流が減少し、特に低電圧での減少が著しい。またcもaと同様の効果が得られ、bおよびdはリーク電流が増大してしまっている。cの酸化モリブデンを形成しなかったキャパシタにおいてもリーク電流特性が改善されているのは、高温のアニール処理により酸化タンタル中の酸素とモリブデンとの反応が起こり酸化モリブデンが上部電極と誘電体膜の間に形成されたためであると考えられる。このため高温アニール処理後のcは、酸化モリブデンが形成されているaと結果的に同じ構造となっている。

【0023】このことから、酸化モリブデンが酸化タンタルと上部電極との間に形成されていることによりキャパシタのリーク電流特性が向上することがわかる。さらに上部電極をモリブデンで形成することにより、高温熱処理を施してもリーク電流の増大がないキャパシタとなる。また、上部電極はモリブデンに限らず窒化モリブデンとしても同様の効果が得られている。

【0024】第2実施例

図3は、この発明の第2の実施例によるキャパシタの構造を示す一例である。この図におけるキャパシタは、シリコン基板21上に酸化シリコン膜22、その上に選択的に下部電極としてのポリシリコン膜23aが形成され、このポリシリコン膜23aを覆うように窒化シリコン膜24、酸化タンタル膜25、酸化ジルコニウム膜36、上部電極としての窒化チタン膜37が順次形成されている。

【0025】以上のように形成されたキャパシタにおいては、誘電体膜の酸化タンタル膜24と上部電極の窒化チタン膜37との間に反応防止膜として酸化ジルコニウ

10

20

30

40

50

5

ム膜 36 を設けているので、酸化タンタル膜 24 と窒化チタン膜 37 との反応が防止される。

【0026】また、図 4 (A) ~ (E) に本発明の実施例によるキャパシタの製造工程の断面図を示し、以下本発明の実施例について図面を参照しながら詳細に説明するが、図 4 (D) に示される酸化タンタル膜 25 の形成までは実施例 1 と同じ工程のため説明を省略する。

【0027】図 4 (E) に示すように、酸化タンタル膜 25 上に CVD 法により、酸化ジルコニウム膜 36 を 10 nm 程度形成する。このとき用いるソースガスは Zr (t-OC4H9) 4 及び O₂ 等が考えられ、基板温度 600 °C 程度とする。

【0028】次に、上部電極として窒化チタン膜 37 を CVD 法により 200 nm 程度形成する。第 1 実施例と同様に窒化チタン膜 37、酸化タンタル膜 25 及び酸化ジルコニウム膜 36 の不要部分をエッチングすることにより、図 3 に示した構造のキャパシタとなる。

【0029】上記の実施例以外にも本発明のキャパシタを製造することができ、その一例としては、酸化ジルコニウム膜 36 を形成する際に、スパッタ法によりジルコニウム膜を形成した後、酸素ガス雰囲気中、500 °C で 5 分間のアニール処理を行うことにより、酸化ジルコニウム膜 36 を形成することもでき、その後同様の方法で上部電極を形成、不要部分の除去によりキャパシタを作成する。

【0030】上述した第 2 実施例および従来技術による上部電極形成直後（高温熱処理前）および酸素ガス雰囲気中 700 °C のアニール処理後のキャパシタのリーク特性グラフを図 7 に示す。図 7 中縦軸はリーク電流 J [A/cm²]、横軸は上部電極印加電圧 V_g [V]、a (Ta₂O₅ + ZrO₂ + TiN) は第 2 実施例のキャパシタ、b (Ta₂O₅ + ZrO₂ + TiN) は a に熱処理を施した後のキャパシタ、c (Ta₂O₅ + TiN) は従来技術のキャパシタ、d (Ta₂O₅ + TiN) は c に熱処理を施した後のキャパシタである。図 7 から、a は b に比べると耐圧がやや低下するものの、c および d に比べるとリーク電流は大幅に低下していることがわかる。

【0031】第 3 実施例

本発明を MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート酸化膜に適用した例を図 8 に示す。

【0032】半導体基板 41 の表面領域にチャネル領域 43 が形成され、チャネル領域 43 の両側に不純物を拡散したソース・ドレイン領域 42 とが対向して配置され、チャネル領域の表面上にゲート酸化膜として酸化タンタル膜 44 と、酸化モリブデン膜 45 とが積層され、このゲート酸化膜の表面上にゲート電極としてモリブデン膜 46 が形成されている。

【0033】以上のように、本発明のキャパシタを MO

6

SFET のゲート酸化膜に適用することによって以下のことが考えられる。MOSFET を微細化する場合、比例縮小則に従いゲート酸化膜厚も薄膜化しなければならない。微細化の指標である 0.15 μm 程度のゲート電極寸法では、酸化シリコンに換算した膜厚で 3 nm 程度のゲート酸化膜にする必要がある。しかし酸化シリコン膜厚で 3 nm 以下ではトンネリングによりリーク電流が増大してしまい、MOSFET として動作しなくなってしまう。このため、本発明を MOSFET のゲート酸化膜に適用することによって微細化によりゲート酸化膜を薄膜化してもリーク電流増大のない MOSFET となる。また、0.15 μm 以上のゲート電極寸法の MOSFET においても、ゲート酸化膜の薄膜化によりゲート酸化膜容量が増加、相互コンダクタンスが大きくなり、スイッチングの応答速度が速い高速の MOSFET を実現できる。

【0034】

【発明の効果】以上詳細に説明したように、第 1 の発明の酸化タンタル膜を用いた半導体装置によれば、酸化タンタルとモリブデンとの間に酸化モリブデンが形成されているため、高温熱処理を行ってもリーク電流の増加を抑えることができる半導体装置となる。

【0035】また第 2 の発明の酸化タンタル膜を用いた半導体装置によれば、酸化タンタルと窒化チタンとの間に酸化ジルコニウムが形成されているため、高温熱処理を行ってもリーク電流の増加を抑えることができる半導体装置となる。

【図面の簡単な説明】

【図 1】第 1 実施例によるキャパシタの構造を示す断面図である。

【図 2】第 1 実施例によるキャパシタの製造工程を示す断面図である。

【図 3】第 2 実施例によるキャパシタの構造を示す断面図である。

【図 4】第 2 実施例によるキャパシタの製造工程を示す断面図である。

【図 5】第 1 実施例のキャパシタのリーク電流特性を示す図である。

【図 6】第 1 実施例のキャパシタのリーク電流特性を示す図である。

【図 7】第 2 実施例のキャパシタのリーク電流特性を示す図である。

【図 8】第 3 実施例の MOSFET の構造を示す断面図である。

【図 9】従来技術のキャパシタのリーク電流特性を示す図である。

【符号の説明】

21 : シリコン基板

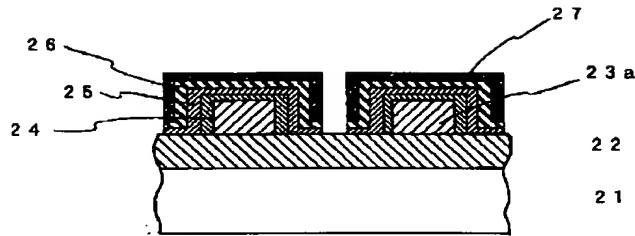
22 : 酸化シリコン膜

23 : ポリシリコン膜

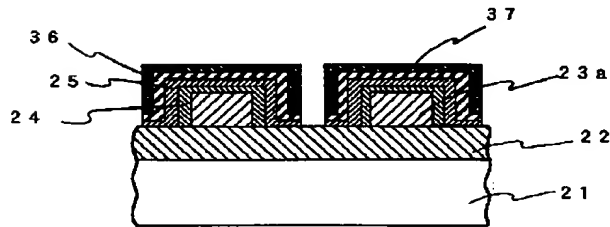
7

23a : ポリシリコン膜の下部電極
 24 : 窒化シリコン膜
 25 : 酸化タンタル膜
 26 : 酸化モリブデン膜

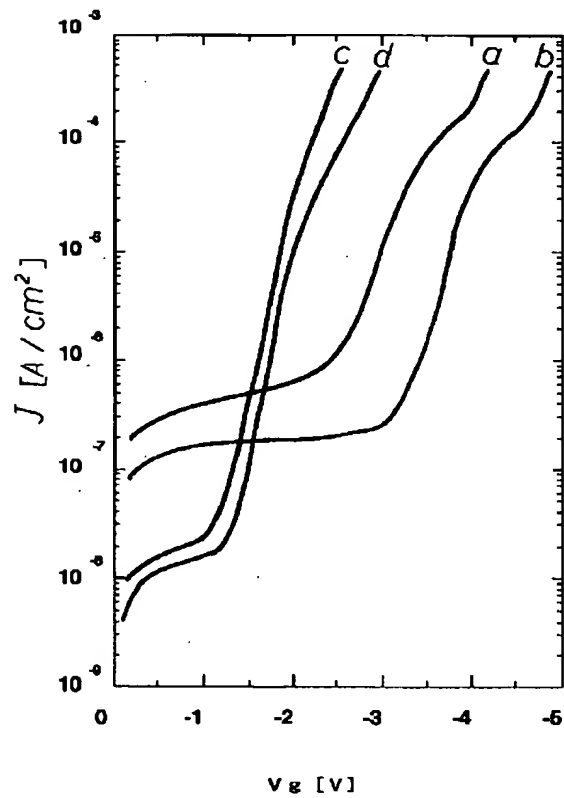
【図1】



【図3】



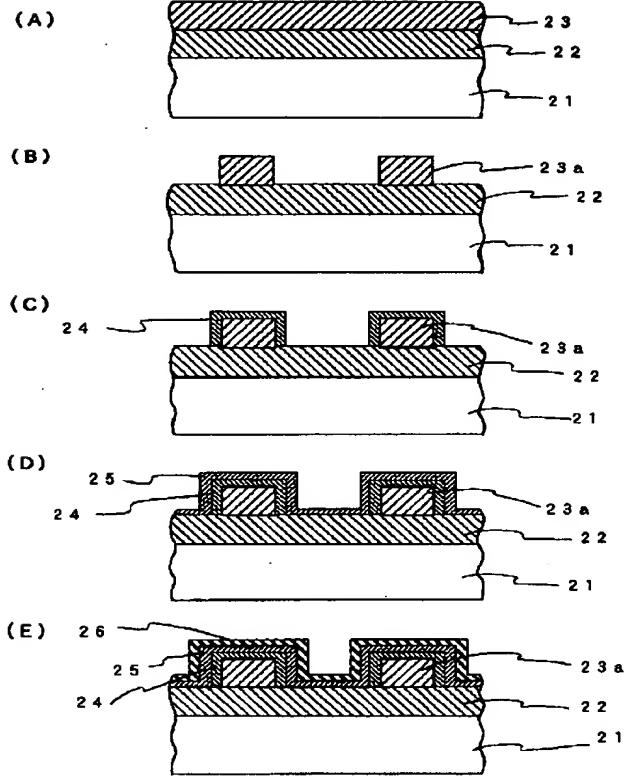
【図5】



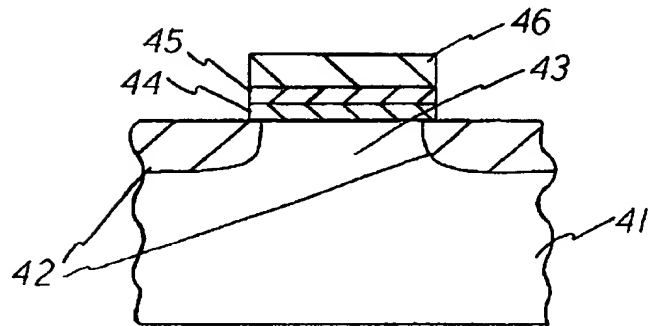
8

27 : モリブデン膜
 36 : 酸化ジルコニウム膜
 37 : 窒化チタン膜の上部電極

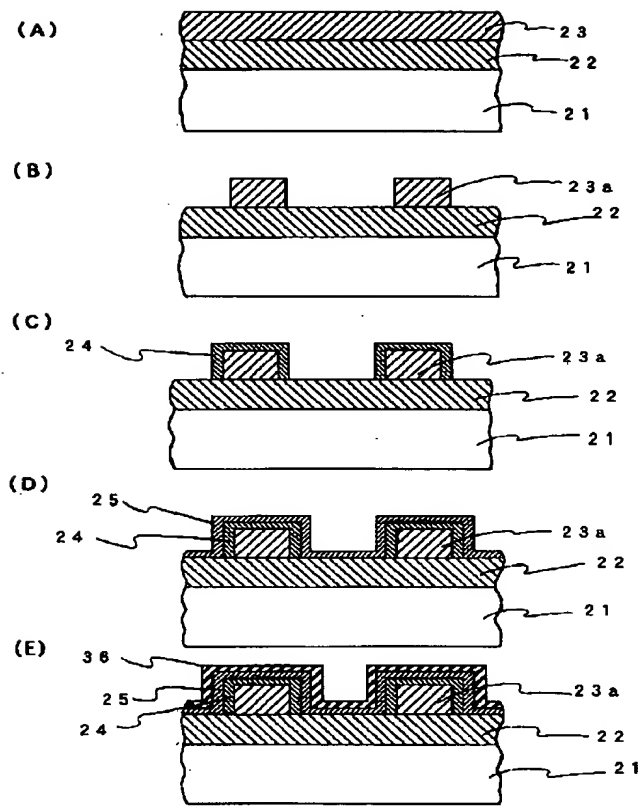
【図2】



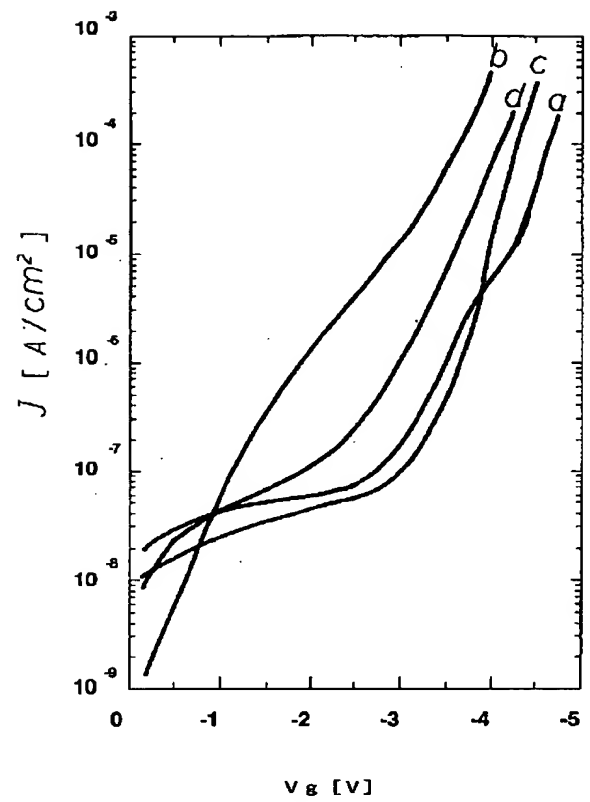
【図8】



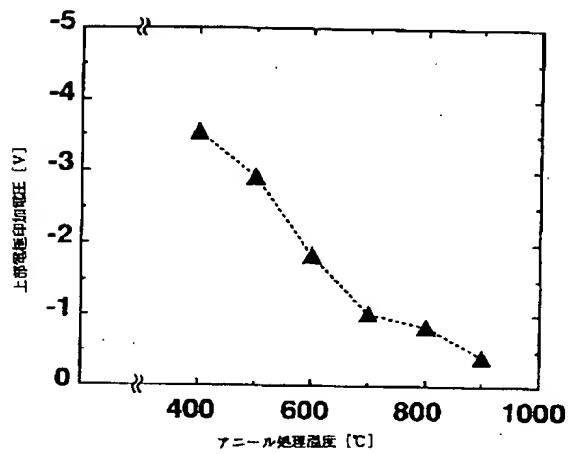
【図4】



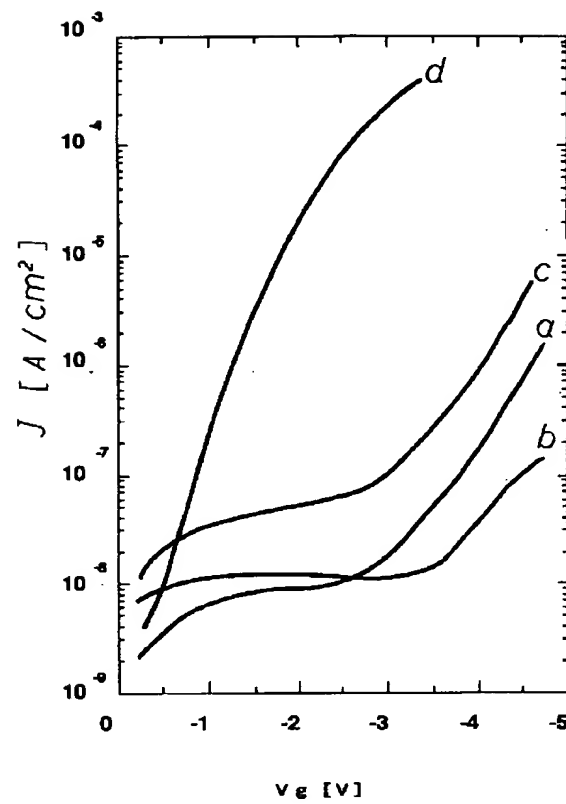
【図6】



【図9】



【図7】



フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 21/822
29/78
21/336

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 0 1 G

3 0 1 Y